

玄武科技

MPSOM-9EG 核心板

用户指南

文档版本：V1.0

Copyright© 2025 深圳市玄武科技信息有限公司

版权所有，保留所有权利

本资料著作权属深圳市玄武科技信息有限公司（以下简称玄武科技）所有。未经本公司书面许可，任何单位或个人不得以任何方式摘录、复制或翻译本文档内容；不得直接或间接复制、制造、加工、使用本产品及其相关部分。

免责声明

本产品符合关于环境保护和人身安全方面的设计要求，产品的存放、使用和弃置应遵照产品手册、相关合同或相关国家法律、法规的要求进行；玄武科技不承担由于使用本手册或本产品不当，所造成的直接、间接、特殊的、附带的或相应产生的损失或责任。

由于产品更新升级或其他原因，本文档内容会不定期进行版本更新，本公司保留在不事先通知的情况下，修改本手册中的产品和产品规格等文件的权力。如您欲了解，本公司最新产品资料，可通过本公司官网（www.aixuanwu.com）下载。

深圳市玄武科技信息有限公司

地址：深圳市南山区前海深港合作区金融街1号弘毅大厦7楼

电话：133 1653 7363

官方网站：www.aixuanwu.com

电子邮件：sales@aixuanwu.com

前言

手册说明

本手册介绍 MPSOM-9EG 的详细说明，以指导用户了解核心板产品，熟悉核心板的安装、配置、维护操作。

读者对象

本手册适合于下列人员阅读：

网络规划工程师




硬件安装工程师

数据配置工程师

现场维护工程师

网络优化工程师

符号约定

符号	说明
 Danger	危险：用于提供设备或环境安全的警示信息，若不避免，可能会危害人身安全。
 Notice	小心：用于提供设备或环境安全的警示信息，若不避免，可能会导致设备损坏、数据丢失、设备性能降低、环境污染或其他不可预知的结果。 “小心”不涉及人身伤害。
 Note	“说明”是与正文有关的补充说明和提示。

修订历史

资料版本	发布日期	更新说明
V1.0	2025-09-15	第一次发布

目录

前言	II
1 产品介绍	1
1.1 概述	1
1.2 产品外观图	1
1.3 规格及特性	2
1.4 安全建议	3
2 模块描述	4
2.1 产品介绍	4
2.2 单板布局图及尺寸图	4
2.3 ZYNQ 芯片	5
2.4 DDR4 SDRAM	6
2.5 QSPI Flash	11
2.6 eMMC Flash	12
2.7 EEPROM 及加密芯片	12
2.8 时钟模块	13
2.9 电源模块	14
2.9.1 FPGA 推荐工作表	14
2.9.2 电源排序	17
3 安装及使用	19
3.1 准备工作及注意事项	19
3.1.1 确定核心板电源和 JTAG 引脚	19
3.1.2 工具及材料准备	21
3.2 核心板上电	21
3.3 芯片识别测试	22
3.4 FPGA 各接口的使用方法	23
3.5 常见问题解决	23
4 技术支持	25
附录	26
A.1 J29 连接器	26
A.2 J30 连接器	27
A.3 J31 连接器	29
A.4 J32 连接器	30

1 产品介绍

本章包含如下主题：

[概述](#)

[产品外观图](#)

[规格及特性](#)

[安全建议](#)

1.1 概述

MPSOM-9EG 核心板搭载 AMD Zynq UltraScale+, 构建高性能嵌入式核心模组。依托 FPGA 的可编程特性与 ARM 通用计算能力, 在复杂工业场景下, 精准平衡“定制化需求”与“系统级调度”, 从容应对实时数据交互、稳定存储、FPGA 加速及多核 CPU 协同计算等高阶任务, 成为工业控制系统及计算密集型嵌入式应用的理想选择。

1.2 产品外观图

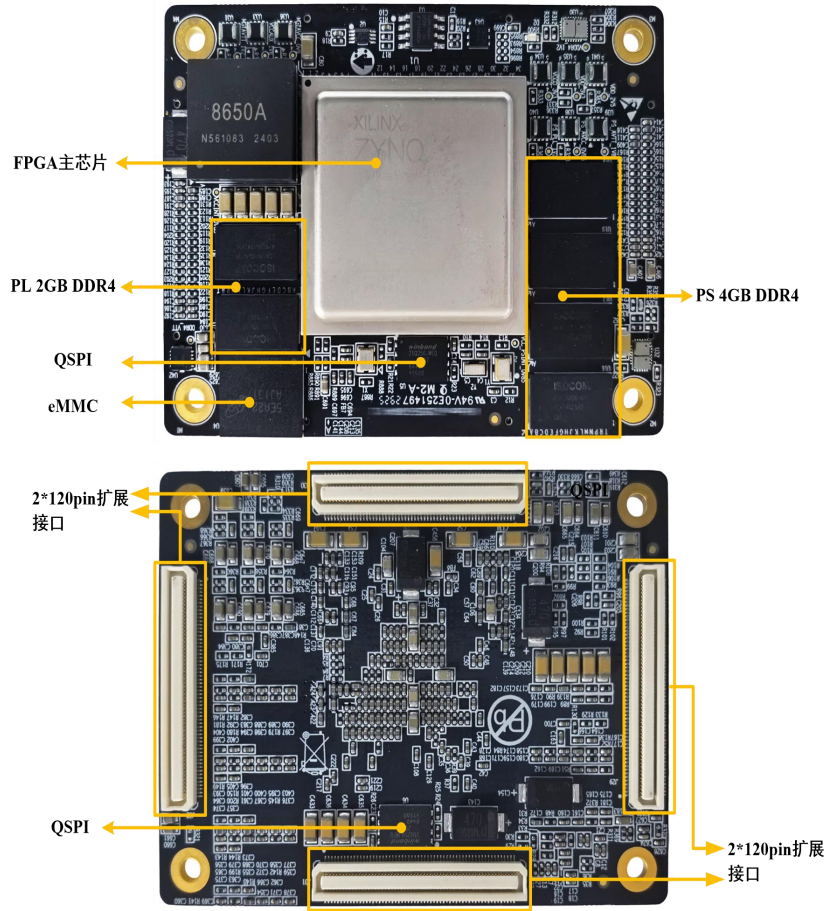
MPSOM-9EG 核心板实物图如下图 1-1 所示：

图 1-1 MPSOM-9EG 核心板实物图



MPSOM-9EG 产品外观如图 1-2 所示, 各组件说明参见表 1-1:

图 1-2 MPSOM-9EG 产品外观图



1.3 规格及特性

MPSOM 系列提供 MPSOM-9EG 与 MPSOM-15EG 两种产品型号，分别搭载 XCZU9EG-2FFVB1156I 及 XCZU15EG-2FFVB1156I 芯片，XCZU9EG-2FFVB1156I 是一款中高端芯片，专为需要高性能处理、实时控制与硬件加速的复杂应用而设计。它集成了强大的通用处理能力，支持复杂应用、网络协议以及高级算法。而 XCZU15EG-2FFVB1156I 则提供了更丰富的逻辑资源和存储资源，适用于图像处理、视频编解码、通信协议加速等定制应用。用户可根据实际需求选择合适的产品型号，产品技术规格如下表所示。

表 1-1 产品技术规格表

特性	MPSOM-9EG	MPSOM-15EG
芯片	XCZU9EG-2FFVB1156I	XCZU15EG-2FFVB1156I
存储	PS侧DDR4: 4GB; PL侧DDR4: 2GB; QSPI: 2*32MB; eMMC: 32GB; EEPROM: 512Kb	PS侧DDR4: 4GB; PL侧DDR4: 2GB; QSPI: 2*32MB; eMMC: 32GB; EEPROM: 512Kb

外部接口	4 x 120 pin 0.5mm 间距扩展接口	4 x 120 pin 0.5mm 间距扩展接口
千兆收发器	4 x GTR, up to 6 Gbps 16 x GTH, up to 16.3 Gbps	4 x GTR, up to 6 Gbps 16 x GTH, up to 16.3 Gbps
用户I/O	54 PS MIOs 162 FPGA I/Os (66 HD + 96 HP)	54 PS MIOs 162 FPGA I/Os (66 HD + 96 HP)
典型功耗	10 W	10 W
工作温度	0° C~55° C	0° C~55° C
存储温度	-40° C~+65° C	-40° C~+65° C
存储湿度	5% RH~95% RH, 非凝结	5% RH~95% RH, 非凝结
工作湿度	5% RH~90% RH, 非凝结	5% RH~90% RH, 非凝结
尺寸	80mm x 60 mm	80mm x 60 mm
重量	55g	55g

1.4 安全建议

报废处理

若板卡及其部件需报废处理，请严格遵守相关法律法规，规范处置工业废料，共同保护环境。

2 模块描述

本章包含如下主题：

[整体框图](#)

[单板布局图及尺寸图](#)

[ZYNQ 芯片](#)

[DDR4 SDRAM](#)

[QSPI Flash](#)

[EMMC Flash](#)

[EEPROM 及加密芯片](#)

[时钟模块](#)

[电源模块](#)

2.1 产品介绍

MPSOM-9EG 核心板采用 AMD Zynq UltraScale+ 芯片解决方案，集成 PS (Processing System) 与 PL (Programmable Logic) 技术，将四核 ARM Cortex-A53 处理器与 FPGA 可编程逻辑整合于单一芯片。核心板配置高速 4GB+2GB DDR4 动态随机存取存储器、32GB eMMC 存储芯片及 64MB QSPI Flash，构建出完整且强大的可编程嵌入式处理系统。

2.2 单板布局图及尺寸图

MPSOM-9EG 单板布局及尺寸如下图所示：

图 2-1 板卡正面

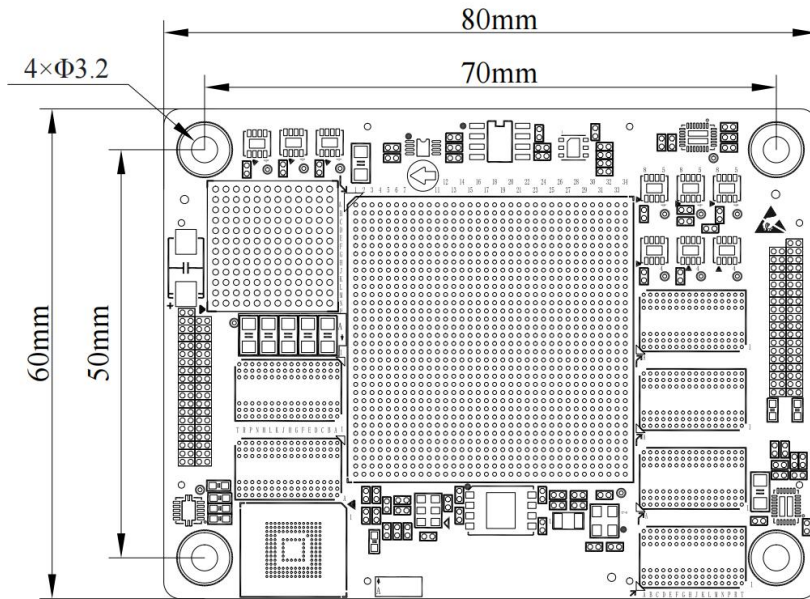
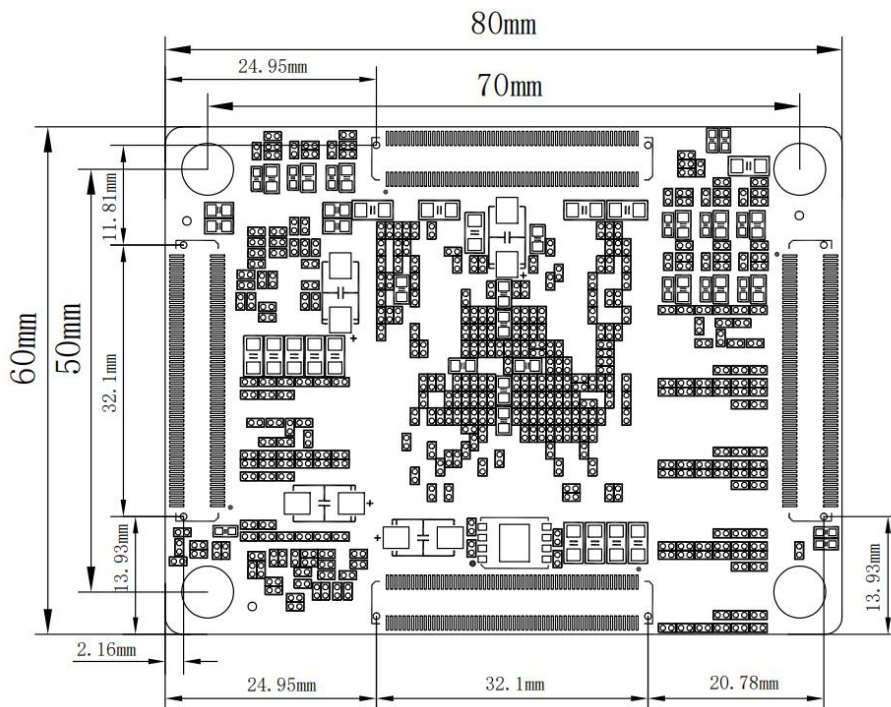


图 2-2 板卡背面

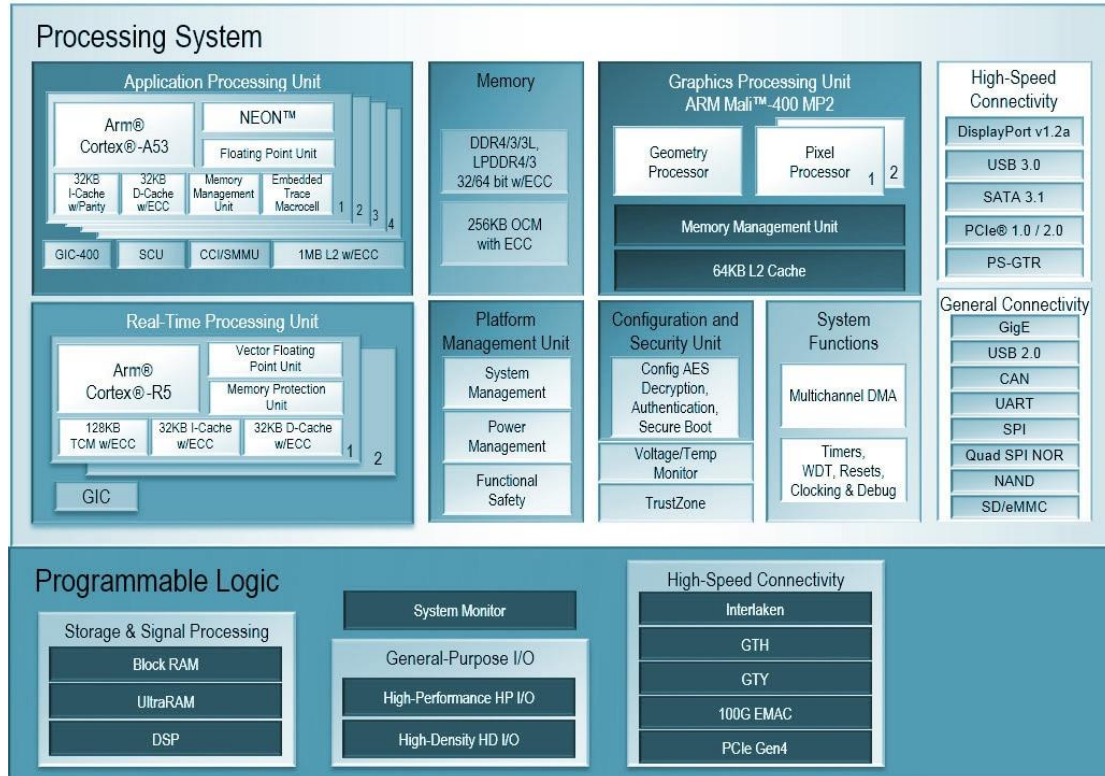


2.3 ZYNQ 芯片

ZYNQ 芯片是 AMD 公司的 Zynq UltraScale+ MPSoC 系列的芯片，型号为 XCZU9EG-2FFVB1156I 和 XCZU15EG-2FFVB1156I 的芯片，其 PS 系统集成了 4 个 ARM Cortex™-A53 处理器，速度高达 1.3Ghz，支持 2 级 Cache；另外还包含 2 个 Cortex-R5 处理器（速度高达 533Mhz）。芯片支持 32 位或者 64 位的 DDR4, LPDDR4,

DDR3, DDR3L, LPDDR3 存储芯片, 在 PS 端带有丰富的高速接口如 PCIE Gen2, USB3.0, SATA 3.1, DisplayPort, 千兆以太网等; PL 端内部含有丰富的可编程逻辑单元, DSP 和内部 RAM。ZU9EG/ZU15EG 芯片的总体框图如下图所示。

图 2-3 ZU9EG/ZU15EG 芯片的总体框图



 Note

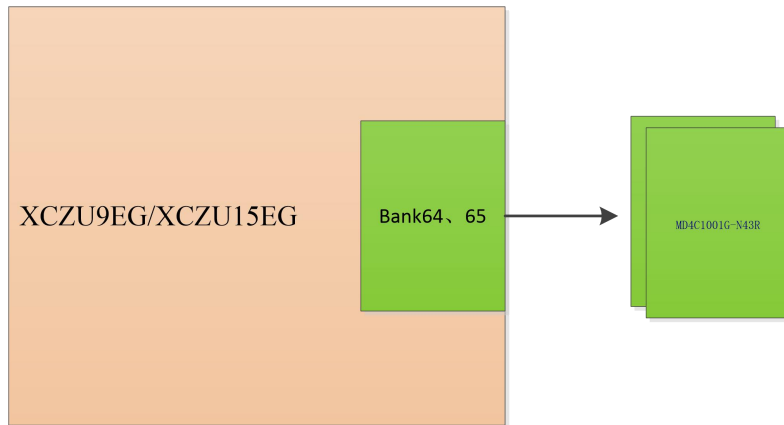
ZU9EG/ZU15EG 的总体框图来源于 AMD 官方网站, 更多详细信息请参考 AMD 官网中的 Zynq UltraScale+ EG 系列芯片。

2.4 DDR4 SDRAM

MPSOM-9EG 核心板上配有 6 片单颗容量为 1GB DDR4 颗粒, 型号为 MD4C1001G-N43R。其中 PS 侧挂载了 4 片 DDR4, 组成 64 位数据位宽, PL 侧挂载 2 片 DDR4, 组成 32 位数据位宽, 容量大小均为 512M*16bit, 最高运行速度均为 2400Mbps。

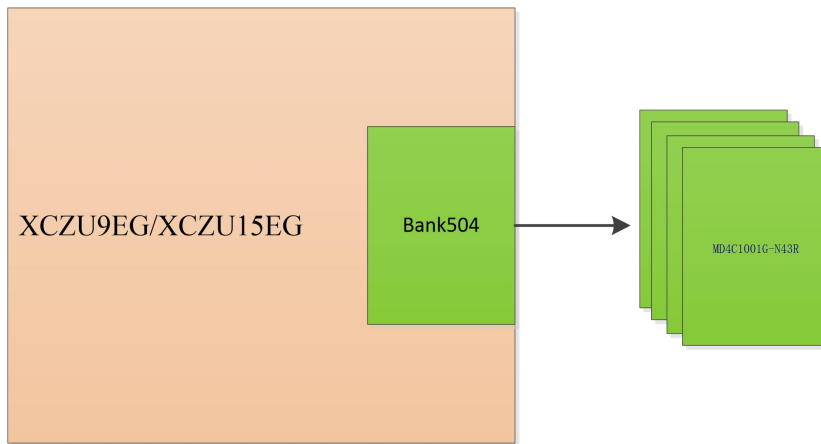
PL 端的 DDR4 硬件连接方式如图 4 所示。

图 2-4 PL 端的 DDR4 硬件连接方式图



PS 端的 DDR4 硬件连接方式如下图所示：

图 2-5 PS 端的 DDR4 硬件连接方式图



DDR4 管脚分配表如下表所示：

表 2-1 PL 端 DDR4 引脚分配表

信号名	管脚号	芯片管脚名
PL_CLK0_N	AL7	IO_L12N_T1U_N11_GC_64
PL_CLK0_P	AL8	IO_L12P_T1U_N10_GC_64
PL_DDR4_A0	AN9	IO_L5P_T0U_N8_AD14P_64
PL_DDR4_A1	AN6	IO_L16P_T2U_N6_QBC_AD3P_64
PL_DDR4_A10	AM6	IO_L14P_T2L_N2_GC_64
PL_DDR4_A11	AM8	IO_L8N_T1L_N3_AD5N_64
PL_DDR4_A12	AP4	IO_L15N_T2L_N5_AD11N_64
PL_DDR4_A13	AP8	IO_L7N_T1L_N1_QBC_AD13N_64
PL_DDR4_A14	AJ9	IO_L9P_T1L_N4_AD12P_64
PL_DDR4_A15	AP6	IO_L16N_T2U_N7_QBC_AD3N_64
PL_DDR4_A16	AP3	IO_L20N_T3L_N3_AD1N_64
PL_DDR4_A2	AN7	IO_L10P_T1U_N6_QBC_AD4P_64
PL_DDR4_A3	AP5	IO_L15P_T2L_N4_AD11P_64
PL_DDR4_A4	AK8	IO_L11P_T1U_N8_GC_64
PL_DDR4_A5	AP7	IO_L10N_T1U_N7_QBC_AD4N_64
PL_DDR4_A6	AN3	IO_L20P_T3L_N2_AD1P_64
PL_DDR4_A7	AN8	IO_L7P_T1L_N0_QBC_AD13P_64

PL_DDR4_A8	AK7	IO_L11N_T1U_N9_GC_64
PL_DDR4_A9	AP10	IO_L4N_T0U_N7_DBC_AD7N_64
PL_DDR4_ACT_N	AM9	IO_L8P_T1L_N2_AD5P_64
PL_DDR4_ALERT_N	AK5	IO_L18P_T2U_N10_AD2P_64
PL_DDR4_BA0	AJ10	IO_L6P_T0U_N10_AD6P_64
PL_DDR4_BA1	AP9	IO_L5N_T0U_N9_AD14N_64
PL_DDR4_BG0	AP11	IO_L4P_T0U_N6_DBC_AD7P_64
PL_DDR4_CK_N	AL5	IO_L13N_T2L_N1_GC_QBC_64
PL_DDR4_CK_P	AL6	IO_L13P_T2L_N0_GC_QBC_64
PL_DDR4_CKE	AK10	IO_L6N_T0U_N11_AD6N_64
PL_DDR4_CS_N	AN4	IO_L17N_T2U_N9_AD10N_64
PL_DDR4_DM0	AE10	IO_L1P_T0L_N0_DBC_65
PL_DDR4_DM1	AH7	IO_L7P_T1L_N0_QBC_AD13P_65
PL_DDR4_DM2	AE5	IO_L13P_T2L_N0_GC_QBC_65
PL_DDR4_DM3	AH2	IO_L19P_T3L_N0_DBC_AD9P_65
PL_DDR4_DQ0	AE9	IO_L6N_T0U_N11_AD6N_65
PL_DDR4_DQ1	AG10	IO_L5P_T0U_N8_AD14P_65
PL_DDR4_DQ10	AD6	IO_L9N_T1L_N5_AD12N_65
PL_DDR4_DQ11	AF6	IO_L11P_T1U_N8_GC_65
PL_DDR4_DQ12	AD7	IO_L9P_T1L_N4_AD12P_65
PL_DDR4_DQ13	AF7	IO_L12N_T1U_N11_GC_65
PL_DDR4_DQ14	AH8	IO_L8N_T1L_N3_AD5N_65
PL_DDR4_DQ15	AG8	IO_L8P_T1L_N2_AD5P_65
PL_DDR4_DQ16	AG4	IO_L14N_T2L_N3_GC_65
PL_DDR4_DQ17	AG5	IO_L14P_T2L_N2_GC_65
PL_DDR4_DQ18	AJ4	IO_L15N_T2L_N5_AD11N_65
PL_DDR4_DQ19	AH4	IO_L15P_T2L_N4_AD11P_65
PL_DDR4_DQ2	AD10	IO_L6P_T0U_N10_AD6P_65
PL_DDR4_DQ20	AF3	IO_L17N_T2U_N9_AD10N_65
PL_DDR4_DQ21	AE3	IO_L17P_T2U_N8_AD10P_65
PL_DDR4_DQ22	AE4	IO_L18N_T2U_N11_AD2N_65
PL_DDR4_DQ23	AD4	IO_L18P_T2U_N10_AD2P_65
PL_DDR4_DQ24	AH3	IO_L20N_T3L_N3_AD1N_65
PL_DDR4_DQ25	AG3	IO_L20P_T3L_N2_AD1P_65
PL_DDR4_DQ26	AF1	IO_L21N_T3L_N5_AD8N_65
PL_DDR4_DQ27	AF2	IO_L21P_T3L_N4_AD8P_65
PL_DDR4_DQ28	AD1	IO_L23N_T3U_N9_65
PL_DDR4_DQ29	AD2	IO_L23P_T3U_N8_I2C_SCLK_65
PL_DDR4_DQ3	AG9	IO_L5N_T0U_N9_AD14N_65
PL_DDR4_DQ30	AE1	IO_L24N_T3U_N11_PERSTN0_65
PL_DDR4_DQ31	AE2	IO_L24P_T3U_N10_PERSTN1_I2C_SDA_65
PL_DDR4_DQ4	AF12	IO_L3N_T0L_N5_AD15N_65
PL_DDR4_DQ5	AH11	IO_L2N_T0L_N3_65
PL_DDR4_DQ6	AE12	IO_L3P_T0L_N4_AD15P_65
PL_DDR4_DQ7	AH12	IO_L2P_T0L_N2_65
PL_DDR4_DQ8	AE7	IO_L12P_T1U_N10_GC_65
PL_DDR4_DQ9	AG6	IO_L11N_T1U_N9_GC_65
PL_DDR4_DQS0_N	AG11	IO_L4N_T0U_N7_DBC_AD7N_65
PL_DDR4_DQS0_P	AF11	IO_L4P_T0U_N6_DBC_AD7P_SMBALERT_65

PL_DDR4_DQS1_N	AF8	IO_L10N_T1U_N7_QBC_AD4N_65
PL_DDR4_DQS1_P	AE8	IO_L10P_T1U_N6_QBC_AD4P_65
PL_DDR4_DQS2_N	AJ5	IO_L16N_T2U_N7_QBC_AD3N_65
PL_DDR4_DQS2_P	AJ6	IO_L16P_T2U_N6_QBC_AD3P_65
PL_DDR4_DQS3_N	AJ1	IO_L22N_T3U_N7_DBC_AD0N_65
PL_DDR4_DQS3_P	AH1	IO_L22P_T3U_N6_DBC_AD0P_65
PL_DDR4_ODT	AK9	IO_L9N_T1L_N5_AD12N_64
PL_DDR4_PARITY	AN2	IO_L19P_T3L_N0_DBC_AD9P_64
PL_DDR4_RST_N	AM5	IO_L14N_T2L_N3_GC_64

表 2-2 PS 端 DDR4 引脚分配表

信号名	管脚号	芯片管脚名
PS_DDR4_A0	AP29	PS_DDR_A0_504
PS_DDR4_A1	AP30	PS_DDR_A1_504
PS_DDR4_A10	AL28	PS_DDR_A10_504
PS_DDR4_A11	AK27	PS_DDR_A11_504
PS_DDR4_A12	AJ25	PS_DDR_A12_504
PS_DDR4_A13	AL25	PS_DDR_A13_504
PS_DDR4_A14	AK25	PS_DDR_A14_504
PS_DDR4_A15	AK24	PS_DDR_A15_504
PS_DDR4_A16	AM24	PS_DDR_A16_504
PS_DDR4_A2	AP26	PS_DDR_A2_504
PS_DDR4_A3	AP27	PS_DDR_A3_504
PS_DDR4_A4	AP25	PS_DDR_A4_504
PS_DDR4_A5	AN24	PS_DDR_A5_504
PS_DDR4_A6	AM29	PS_DDR_A6_504
PS_DDR4_A7	AM28	PS_DDR_A7_504
PS_DDR4_A8	AM26	PS_DDR_A8_504
PS_DDR4_A9	AM25	PS_DDR_A9_504
PS_DDR4_ACT_N	AG25	PS_DDR_ACT_N_504
PS_DDR4_ALERT_N	AF22	PS_DDR_ALERT_N_504
PS_DDR4_BA0	AH26	PS_DDR_BA0_504
PS_DDR4_BA1	AG26	PS_DDR_BA1_504
PS_DDR4_BG0	AK28	PS_DDR_BG0_504
PS_DDR4_CK_C	AN27	PS_DDR_CK_N0_504
PS_DDR4_CK_T	AN26	PS_DDR_CK0_504
PS_DDR4_CKE	AN29	PS_DDR_CKE0_504
PS_DDR4_CS_N	AN28	PS_DDR_CS_N0_504
PS_DDR4_DM0	AN17	PS_DDR_DM0_504
PS_DDR4_DM1	AM21	PS_DDR_DM1_504
PS_DDR4_DM2	AK19	PS_DDR_DM2_504
PS_DDR4_DM3	AH24	PS_DDR_DM3_504
PS_DDR4_DM4	AH31	PS_DDR_DM4_504
PS_DDR4_DM5	AE30	PS_DDR_DM5_504
PS_DDR4_DM6	AJ31	PS_DDR_DM6_504
PS_DDR4_DM7	AE34	PS_DDR_DM7_504
PS_DDR4_DQ0	AP20	PS_DDR_DQ0_504
PS_DDR4_DQ1	AM20	PS_DDR_DQ4_504
PS_DDR4_DQ10	AP21	PS_DDR_DQ9_504
PS_DDR4_DQ11	AM23	PS_DDR_DQ14_504

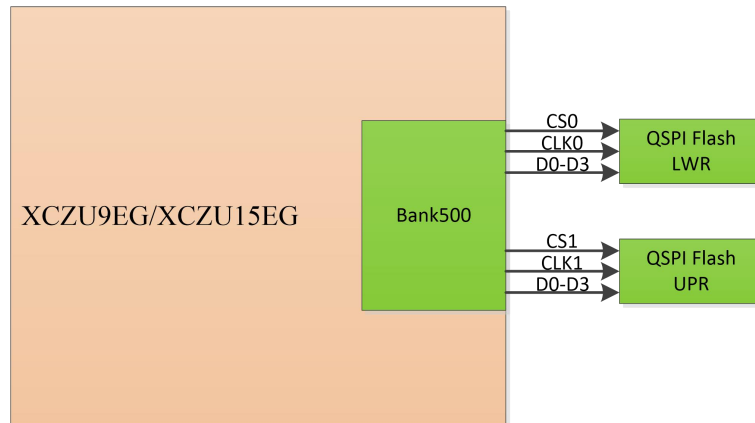
PS_DDR4_DQ12	AL21	PS_DDR_DQ12_504
PS_DDR4_DQ13	AN23	PS_DDR_DQ11_504
PS_DDR4_DQ14	AP24	PS_DDR_DQ10_504
PS_DDR4_DQ15	AL23	PS_DDR_DQ15_504
PS_DDR4_DQ16	AL20	PS_DDR_DQ16_504
PS_DDR4_DQ17	AG19	PS_DDR_DQ22_504
PS_DDR4_DQ18	AJ20	PS_DDR_DQ18_504
PS_DDR4_DQ19	AG20	PS_DDR_DQ20_504
PS_DDR4_DQ2	AP18	PS_DDR_DQ1_504
PS_DDR4_DQ20	AK20	PS_DDR_DQ17_504
PS_DDR4_DQ21	AH18	PS_DDR_DQ21_504
PS_DDR4_DQ22	AK18	PS_DDR_DQ19_504
PS_DDR4_DQ23	AG18	PS_DDR_DQ23_504
PS_DDR4_DQ24	AJ22	PS_DDR_DQ30_504
PS_DDR4_DQ25	AG24	PS_DDR_DQ26_504
PS_DDR4_DQ26	AK23	PS_DDR_DQ31_504
PS_DDR4_DQ27	AH21	PS_DDR_DQ25_504
PS_DDR4_DQ28	AK22	PS_DDR_DQ28_504
PS_DDR4_DQ29	AG23	PS_DDR_DQ27_504
PS_DDR4_DQ3	AM19	PS_DDR_DQ5_504
PS_DDR4_DQ30	AJ21	PS_DDR_DQ29_504
PS_DDR4_DQ31	AG21	PS_DDR_DQ24_504
PS_DDR4_DQ32	AJ29	PS_DDR_DQ39_504
PS_DDR4_DQ33	AG29	PS_DDR_DQ34_504
PS_DDR4_DQ34	AG30	PS_DDR_DQ33_504
PS_DDR4_DQ35	AG31	PS_DDR_DQ32_504
PS_DDR4_DQ36	AJ30	PS_DDR_DQ36_504
PS_DDR4_DQ37	AK29	PS_DDR_DQ37_504
PS_DDR4_DQ38	AK30	PS_DDR_DQ38_504
PS_DDR4_DQ39	AG28	PS_DDR_DQ35_504
PS_DDR4_DQ4	AP19	PS_DDR_DQ2_504
PS_DDR4_DQ40	AD29	PS_DDR_DQ46_504
PS_DDR4_DQ41	AD28	PS_DDR_DQ44_504
PS_DDR4_DQ42	AD30	PS_DDR_DQ47_504
PS_DDR4_DQ43	AF28	PS_DDR_DQ41_504
PS_DDR4_DQ44	AF31	PS_DDR_DQ43_504
PS_DDR4_DQ45	AD27	PS_DDR_DQ45_504
PS_DDR4_DQ46	AF30	PS_DDR_DQ42_504
PS_DDR4_DQ47	AE27	PS_DDR_DQ40_504
PS_DDR4_DQ48	AK33	PS_DDR_DQ53_504
PS_DDR4_DQ49	AJ34	PS_DDR_DQ49_504
PS_DDR4_DQ5	AM18	PS_DDR_DQ6_504
PS_DDR4_DQ50	AK34	PS_DDR_DQ52_504
PS_DDR4_DQ51	AH34	PS_DDR_DQ50_504
PS_DDR4_DQ52	AL32	PS_DDR_DQ54_504
PS_DDR4_DQ53	AH33	PS_DDR_DQ48_504
PS_DDR4_DQ54	AL31	PS_DDR_DQ55_504
PS_DDR4_DQ55	AH32	PS_DDR_DQ51_504
PS_DDR4_DQ56	AF32	PS_DDR_DQ58_504

PS_DDR4_DQ57	AD34	PS_DDR_DQ62_504
PS_DDR4_DQ58	AF33	PS_DDR_DQ59_504
PS_DDR4_DQ59	AD33	PS_DDR_DQ63_504
PS_DDR4_DQ6	AP17	PS_DDR_DQ3_504
PS_DDR4_DQ60	AG33	PS_DDR_DQ56_504
PS_DDR4_DQ61	AD32	PS_DDR_DQ61_504
PS_DDR4_DQ62	AG34	PS_DDR_DQ57_504
PS_DDR4_DQ63	AD31	PS_DDR_DQ60_504
PS_DDR4_DQ7	AL18	PS_DDR_DQ7_504
PS_DDR4_DQ8	AL22	PS_DDR_DQ13_504
PS_DDR4_DQ9	AP22	PS_DDR_DQ8_504
PS_DDR4_DQS0_N	AN19	PS_DDR_DQS_N0_504
PS_DDR4_DQS0_P	AN18	PS_DDR_DQS_P0_504
PS_DDR4_DQS1_N	AN22	PS_DDR_DQS_N1_504
PS_DDR4_DQS1_P	AN21	PS_DDR_DQS_P1_504
PS_DDR4_DQS2_N	AJ19	PS_DDR_DQS_N2_504
PS_DDR4_DQS2_P	AH19	PS_DDR_DQS_P2_504
PS_DDR4_DQS3_N	AH23	PS_DDR_DQS_N3_504
PS_DDR4_DQS3_P	AH22	PS_DDR_DQS_P3_504
PS_DDR4_DQS4_N	AH29	PS_DDR_DQS_N4_504
PS_DDR4_DQS4_P	AH28	PS_DDR_DQS_P4_504
PS_DDR4_DQS5_N	AE29	PS_DDR_DQS_N5_504
PS_DDR4_DQS5_P	AE28	PS_DDR_DQS_P5_504
PS_DDR4_DQS6_N	AK32	PS_DDR_DQS_N6_504
PS_DDR4_DQS6_P	AJ32	PS_DDR_DQS_P6_504
PS_DDR4_DQS7_N	AE33	PS_DDR_DQS_N7_504
PS_DDR4_DQS7_P	AE32	PS_DDR_DQS_P7_504
PS_DDR4_ODT	AM30	PS_DDR_ODT0_504
PS_DDR4_PARITY	AF20	PS_DDR_PARITY_504
PS_DDR4_RST_N	AF21	PS_DDR_RAM_RST_N_504

2.5 QSPI Flash

MPSOM-9EG 核心板上配有 2 片 256Mb 大小的 QSPI Flash，可组成 8 位带宽的数据总线，Flash 在没有电流供应的条件下能够长久地保存数据，可作为系统的启动设备来存储系统的启动文件，这些文件主要包括 FPGA 配置的 bit 文件、ARM 的应用程序代码以及用户数据文件等。QSPI Flash 连接到 FPGA 的 PS 侧的 Bank500，如下图所示。

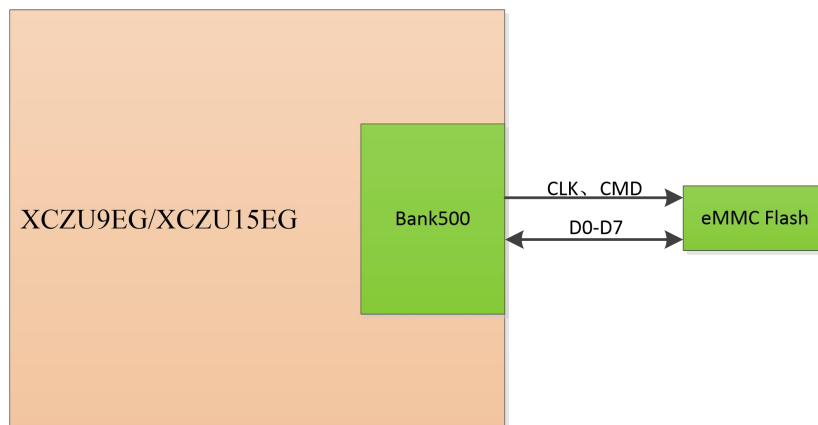
图 2-6 QSPI Flash 接口示意图



2.6 eMMC Flash

MPSOM-9EG 核心板上搭载了一片型号为 FEMDRW032G-88A19 的 eMMC Flash，该芯片支持 JEDEC EMMC V5.1 标准。eMMC Flash 与主芯片 FPGA 之间的数据位宽为 8 位，存储容量达 32GB。eMMC Flash 具备大容量和非易失性特性，可作为系统的主要存储设备，用于存储 ARM 应用程序、系统文件及用户数据等。eMMC Flash 连接到 FPGA 的 PS 侧的 Bank500，如下图所示。

图 2-7 eMMC Flash 接口示意图



2.7 EEPROM 及加密芯片

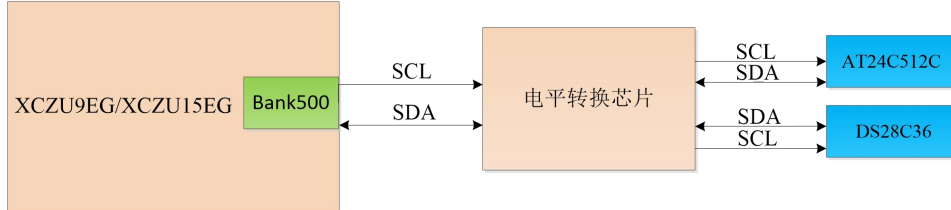
MPSOM-9EG 核心板上配有一片 EEPROM 电可擦可编程只读存储器，型号为 AT24C512C-SSHM-T，EEPROM 存储芯片在掉电后数据不会丢失，可以用来存储板卡信息，如生产日期，版本名等。

DS28C36 为安全认证器，提供一组核心的加密工具，集成非对称（ECC-P256）和对称

(SHA-256) 加密功能。

EEPROM 和 DS28C36 均采用 IIC 接口,通过一个电平转换芯片连到 FPGA 的 Bank500 下的 MIO24 和 MIO25 引脚, 如图所示。

图 2-8 EEPROM 和 DS28C36 与 FPGA 的 PS 侧连接示意图

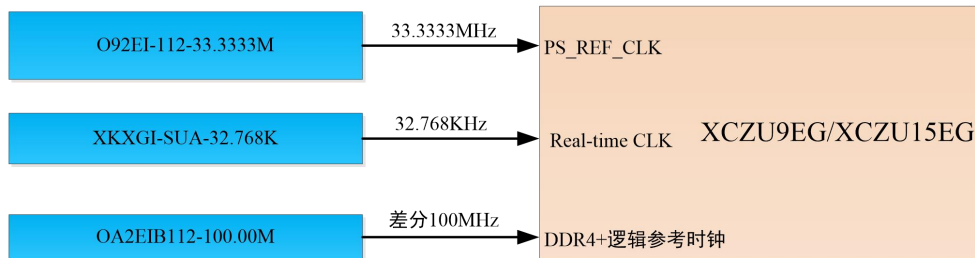


2.8 时钟模块

MPSOM-9EG 核心板的时钟模块上集成了 PS 系统 RTC 实时时钟、PS 系统时钟源以及 PL 系统时钟源。

核心板的时钟分配方案如下图所示:

图 2-10 核心板时钟分配图



2.9 电源模块

2.9.1 FPGA 推荐工作表

MPSOM-9EG 核心板通过板对板连接器提供 12V 电源，电源设计方案如图所示，FPGA 推荐工作条件如下表所示：

图 2-11 电源设计方案

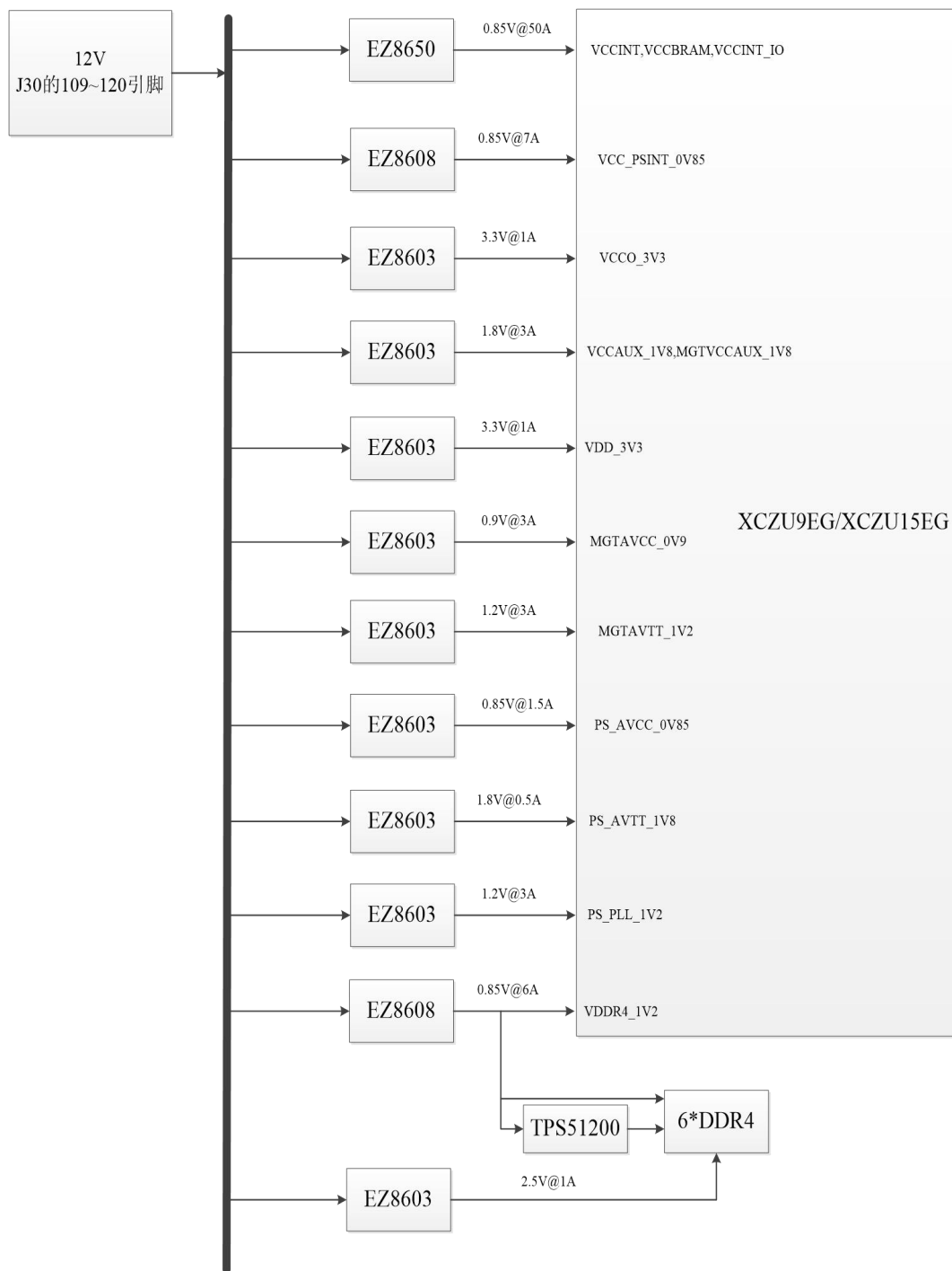


图 2-11 FPGA 的推荐工作条件

标识	描述 ^{1,2}	最小值	典型值	最大值	单位
处理器系统					
VCC_PSINTFP ³	PS 全功耗域供电电压	0.808	0.850	0.892	V
	对于 -1LI 和 -2LE (VCCINT = 0.72V) 器件: PS 全功耗域供电电压	0.808	0.850	0.892	V
	对于 -3E 器件, PS 全功耗域供电电压	0.873	0.900	0.927	V
VCC_PSINTLP	PS 低功耗域供电电压	0.808	0.850	0.892	V
	对于 -1LI 和 -2LE (VCCINT = 0.72V) 器件: PS 低功耗域供电电压	0.808	0.850	0.892	V
	对于 -3E 器件: PS 低功耗域供电电压	0.873	0.900	0.927	V
VCC_PSAUX	PS 辅助供电电压	1.710	1.800	1.890	V
VCC_PSINTFP_DDR ³	PS DDR 控制器和 PHY 供电电压	0.808	0.850	0.892	V
	对于 -1LI 和 -2LE (VCCINT = 0.72V) 器件: PS DDR 控制器和 PHY 供电电压	0.808	0.850	0.892	V
	对于 -3E 器件: PS DDR 控制器和 PHY 供电电压	0.873	0.900	0.927	V
VCC_PSADC	GND_PSADC 相关的 PS SYSMONADC 供电电压	1.710	1.800	1.890	V
VCC_PSPLL	PS PLL 供电电压	1.164	1.200	1.236	V
VPS_MGTRAVCC ⁴	PS-GTR 供电电压	0.825	0.850	0.875	V
VPS_MGTRAVTT ⁴	PS-GTR 终端电压	1.746	1.800	1.854	V
VCCO_PSDDR ⁵	PS DDR I/O 供电电压	1.06	-	1.575	V
VCC_PSDDR_PLL	PS DDR PLL 供电电压	1.710	1.800	1.890	V
VCCO_PSIO ⁶	PS I/O 供电电压	1.710	-	3.465	V
VPSIN	PS I/O 输入电压	-0.200	-	VCCO_PSIO + 0.200	V
	PS DDR I/O 输入电压	-0.200	-	VCCO_PSDDR + 0.200	V
VCC_PSBATT ⁷	PS 电池供电式 RAM 和电池供电式实时时钟 (RTC) 供电电压	1.200	-	1.500	V
可编程逻辑					
VCCINT	PL 内部供电电压	0.825	0.850	0.876	V
	对于 -1LI 和 -2LE (VCCINT = 0.72V) 器件: PL 内部供电电压	0.698	0.720	0.742	V
	对于 -3E 器件: PL 内部供电电压	0.873	0.900	0.927	V
VCCINT_IO ⁸	I/O bank 的 PL 内部供电电压	0.825	0.850	0.876	V
	对于 -1LI 和 -2LE (VCCINT = 0.72V) 器件:	0.825	0.850	0.876	V

	I/O bank 的 PL 内部供电电压				
	对于 -3E 器件: I/O bank 的 PL 内部供电电压	0.873	0.900	0.927	V
VCCBRAM	块 RAM 供电电压	0.825	0.850	0.876	V
	对于 -3E 器件: 块 RAM 供电电压	0.873	0.900	0.927	V
VCCAUX	辅助供电电压	1.746	1.800	1.854	V
VCCO ⁹	HD I/O bank 的供电电压	1.140	-	3.400	V
	HP I/O bank 的供电电压	0.950	-	1.900	V
VCCAUX_IO ¹⁰	辅助 I/O 供电电压	1.746	1.800	1.854	V
VIN ¹¹	I/O 输入电压	-0.200	-	VCCO 0.200	+ V
IIN ¹²	对钳位二极管进行正向偏置时, 流经已上电 bank 或未上电 bank 中的任意 PL 管脚或 PS 管脚的最大电流	-	-	10	mA
GTH 或 GTY 收发器					
VMGTAVCC ¹³	GTH 或 GTY 收发器的模拟供电电压	0.873	0.900	0.927	V
VMGTAVTT ¹³	GTH 或 GTY 发射器和接收器终端电路的模拟供电电压	1.164	1.200	1.236	V
VMGTVCCAUX ¹³	收发器的辅助模拟 QPLL 供电电压	1.746	1.800	1.854	V
VMGTAVTTRCAL ¹³	GTH 或 GTY 收发器列的电阻校准电路的模拟供电电压	1.164	1.200	1.236	V
VCU					
VCCINT_VCU	VCU 的内部供电电压	0.873	0.900	0.927	V
PL 系统监控器					
VCCADC	GNDADC 相关的 PL 系统监控器供电电压	1.746	1.800	1.854	V
VREFP	GNDADC 相关的 PL 系统监控器外部供电参考电压	1.200	1.250	1.300	V
温度					
T _j ¹⁴	扩展级 (E) 温度范围器件的结温工作范围 ¹⁵	0	-	100	°C
	工业级 (I) 温度范围器件的结温工作范围	-40	-	100	°C
	汽车级 (Q) 温度范围器件的结温工作范围	-40	-	125	°C
	军工级 (M) 温度范围器件的结温工作范围	-55	-	125	°C
	eFUSE 编程的结温工作范围	-40	-	125	°C



Note

1. 所有电压都与 GND 相关。
2. 如需了解配电系统的设计，请参阅《UltraScale 架构 PCB 设计用户指南》(UG583)。
3. VCC_PSINTFP_DDR 必须绑定到 VCC_PSINTFP。
4. 列出的每项电压都必须按《UltraScale 架构 PCB 设计用户指南》(UG583) 中所述进行滤波。
5. VCCO_PSDDR 值包括 1.2V、1.35V、1.5V ($\pm 5\%$) 和 $1.1V + 0.07V/-0.04V$ ，取决于特定内存标准所需的容量。
6. 适用于所有 PS I/O 供电 bankVCCO_PSIO 值包括 1.8V、2.5V 和 $3.3V (\pm 5\%)$ 。
7. 如果不使用电池供电式 RAM 或 RTC，请将 VCC_PSBATT 连接到 GND 或 VCC_PSAUX 在未使用的 VCC_PSBATT 上可接受 VCC_PSAUX 最大值 1.89V。
8. VCCINT_IO 必须连接到 VCCBRAM。
9. VCCO 值包括 1.0V (仅限 HPI/O)、1.2V、1.35V、1.5V、1.8V、2.5V (仅限 HD I/O) ($\pm 5\%$) 和 3.3V (仅限 HD I/O) ($+3\%/-5\%$)。
10. VCCAUX_IO 必须连接到 VCCAUX。
11. 始终适用较低的绝对电压规格。
12. 每个 bank 不得超过总计 200 mA。
13. 列出的每项电压都必须按《UltraScale 架构 GTH 收发器用户指南》(UG576) 或《UltraScale 架构 GTY 收发器用户指南》(UG578) 中所述进行滤波。
14. 赛灵思建议使用系统监控器测量器件的 T_j ，如《UltraScale 架构系统监控器用户指南》(UG580) 中所述。SYSMON 温度测量误差 (如表 69 和表 126 中所述) 必须一并纳入设计考量。例如，使用带有外部参考电压 1.25V 的 PL 系统监控器时，以及当 SYSMON 报告 97°C 时存在测量误差 $\pm 3^\circ\text{C}$ 读数 97°C 可被视为最大值调整后 $T_j (100^\circ\text{C} - 3^\circ\text{C} = 97^\circ\text{C})$ 。
15. 含速度/温度等级 -2LE 标记的器件可以 100°C 到 110°C 之间的结温在限定时间内运行时序参数达到 110°C 时遵循的速度文件与低于 110°C 时相同，与工作电压 (额定电压 0.85V 或低电压 0.72V) 无关。以 $T_j = 110^\circ\text{C}$ 运行的时间不得超过器件寿命的 1%，并且可持续运行或者按固定时间间隔运行，只要总时间不超过器件寿命的 1% 即可。

2.9.2 电源排序

为使 FPGA 上电时电流最小且不损坏 FPGA，AMD 推荐的上下电时序如下所述：

PS 上电/断电电源排序

低功耗域(LPD)正常工作后, 全功耗域(FPD)方可运行, 二者也可同时上电。按上电顺序运行期间, PS_POR_B 输入必须断言为 GND (请参阅表 37)。使用 FPD 时, 它必须先上电, 然后才能释放 PS_POR_B。

此处列出的低功耗域 (LPD) 推荐上电顺序, 旨在实现最低电流汲取, 并确保上电时 I/O 处于三态状态。推荐的断电顺序与上电顺序相反。

1. VCC_PSINTLP
2. VCC_PSAUX、VCC_PSADC 和 VCC_PSPLL, 按任意顺序或同时执行。
3. VCCO_PSIO

此处列出的全功耗域 (FPD) 推荐上电顺序, 旨在实现最低电流汲取, 并确保上电时 I/O 处于三态状态。推荐的断电顺序与上电顺序相反。

1. VCC_PSINTFP 和 VCC_PSINTFP_DDR 由相同供电电源驱动。
2. VPS_MGTRAVCC 和 VCC_PSDDR_PLL, 可按任意顺序或同时执行。
3. VPS_MGTRAVTT 和 VCCO_PSDDR, 可按任意顺序或同时执行。

PL 上电/断电电源排序

推荐上电顺序为: VCCIN → VCCINT_IO/VCCBRAM/VCCINT_VCU → VCCAUX/VCCAUX_IO → VCCO, 如此即可实现最低电流汲取, 并确保上电时 I/O 处于三态。推荐的断电顺序与上电顺序相反。当 VCCINT 与 VCCINT_IO/VCCBRAM 的推荐电压电平一致时, 可采用同一电源供电并同步执行缓升。VCCINT_IO 必须与 VCCBRAM 连接。当 VCCAUX/VCCAUX_IO 与 VCCO 的推荐电压电平相同时, 可采用同一电源供电并同步执行缓升。VCCAUX 必须与 VCCAUX_IO 连接。VCCADC 和 VREF 可随时上电, 无上电顺序要求。

GTH 或 GTY 收发器实现最小电流汲取的推荐上电顺序为: VCCINT → VMGTAVCC → VMGTAVTT, 或 VMGTAVCC → VCCINT → VMGTAVTT。针对 VMGTAVCCAUX 不存在推荐的排序。VMGTAVCC 和 VCCINT 均可同时执行电源缓升。推荐的断电顺序与实现最小电源汲取的上电顺序呈反向关系。如果不满足这些推荐的顺序, 那么上电和断电期间从 VMGTAVTT 汲取的电流可能高于相应的规格。

PS-PL 电源排序

PS 和 PL 电源为彼此完全独立的电源。所有 PS 电源均可在任意 PL 电源之前或之后上电。PS 和 PL 电源区域已隔离以防止损坏。

3 安装及使用

本章包含如下主题：

[准备工作及注意事项](#)

[核心板上电](#)

[芯片识别测试](#)

[FPGA 各接口的使用方法](#)

[常见问题解决](#)

3.1 准备工作及注意事项

3.1.1 确定核心板电源和 JTAG 引脚

MPSOM-9EG 核心板扩展了 4 个高速扩展口，采用 4 个 120pin 的板对板连接器连接外设，位号依次为 J29、J30、J31、J32，连接器引脚排列详情请参考附录表。



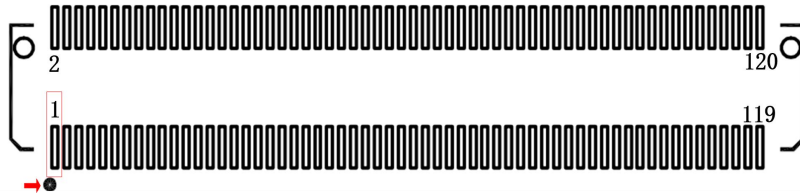
Note

确定核心板的相关尺寸及引脚排列，客户可根据实际场景自行设计安装底板或工具，详细的尺寸图可参考单板布局图。

引脚分布图

MPSOM-9EG 核心板上布置了 4 个 120pin 的板对板连接器用于连接外设，型号为 PANASONIC AXK5A2137YG，引脚分布如下图所示。

图 3-1 连接器引脚图



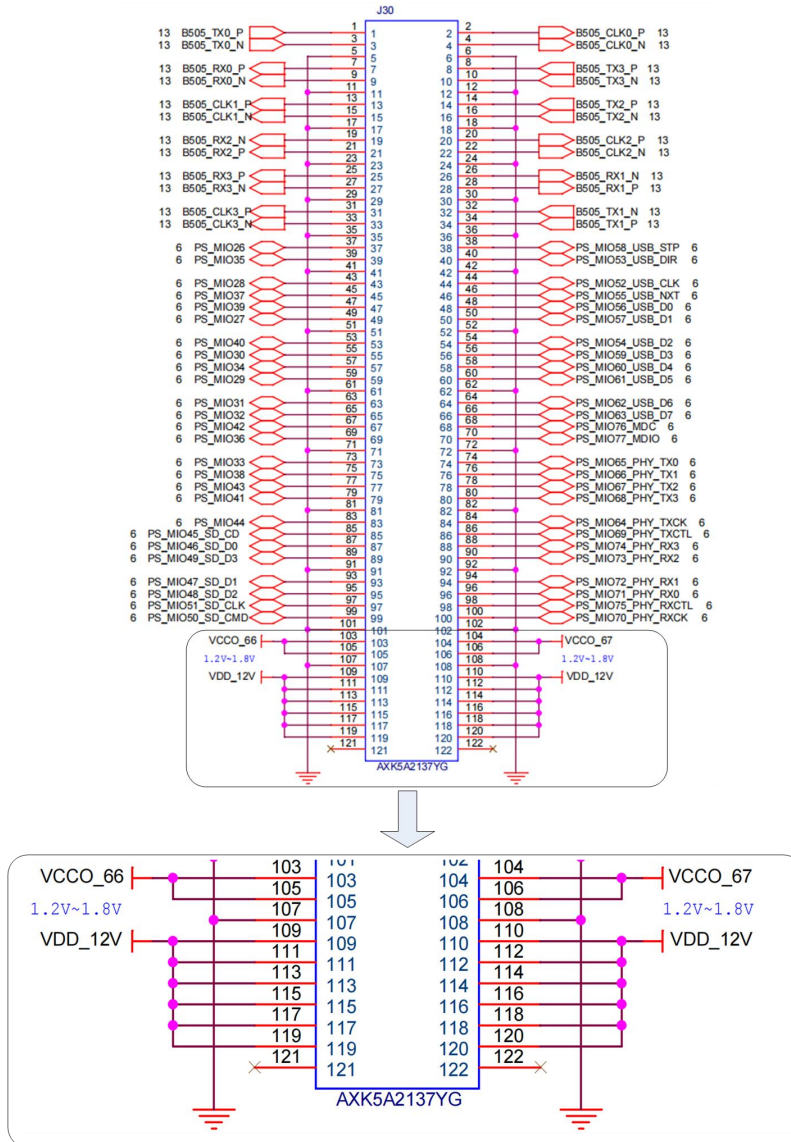
说明：板对板连接器引脚均含有 1 脚标识符，如上图箭头所示。

电源引脚定义图

MPSOM-9EG 核心板上板对板连接器 J30 上包含电源引脚定义，引脚号为 103~106、109~120，其中 103~106 号引脚接入 1.2~1.8V 电源，109~120 接入 12V 电源，确保上述两种电源引脚全部接入对应电源后，核心板上电成功；引脚连接示意图如下图所示，用户根

据实际使用场景及引脚定义准备连接设备。

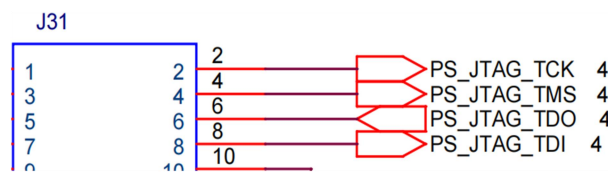
图 3-2 电源引脚定义图



JTAG 引脚定义图

MPSOM-9EG 核心板上的 J31 连接器包含 JTAG 引脚定义，引脚号为 2、4、6、8，如下图所示。用户可根据实际使用场景及引脚定义准备连接设备。

图 3-3 JTAG 引脚定义图



3.1.2 工具及材料准备

在为核心板上电和进行调试前，需准备好相关工具和材料，具体如下表所示。

表 3-1 工具表

工具	说明
操作系统准备	在开发调试环境安装以下版本操作系统： Windows 11 Ubuntu 20.04
Vivado2024.2	Vivado 是由 AMD/Xilinx 开发的 FPGA 和自适应 SoC 设计套件，专用于其旗下 FPGA 和 Zynq UltraScale+ MPSoC等器件的开发。 下载路径：AMD xilinx官网下载 (xilinx.com)，选择2024.02及以上版本。
Vitis Classic 2024.2	Vitis 是 AMD/Xilinx 推出的统一软件开发平台，专为 FPGA 和 自适应 SoC（如 Zynq UltraScale+ MPSoC）设计，核心目标是将软件编程的灵活性与硬件加速的高效性结合。
核心板电源接入设备	用户根据核心板相关电源引脚准备接入核心板电源的设备。
核心板JTAC调试设备	用户根据核心板提供的JTAG接口的引脚定义准备接入核心板的JTAG接口设备。
调试程序（示例程序）	调试核心板的接口功能。详细内容参考MPSOM-9EG&15EG 调测指南 Vx.x.pdf。



Note

1. 调试核心板的接口功能调试请参考 MPSOM-9EG&15EG 调测指南 Vx.x.pdf。
2. 接口功能需要板对板高速连接器对应的引脚接入电脑中，用户根据核心板提供引脚定义准备相关的接入设备，引脚对应的信号名可参考 J29 连接器/J30 连接器/J31 连接器/J32 连接器。

3.2 核心板上电

将核心板接入电源，为调试工作做准备。

操作步骤

步骤 1 按照 3.1.1 章节准备核心板接电设备。

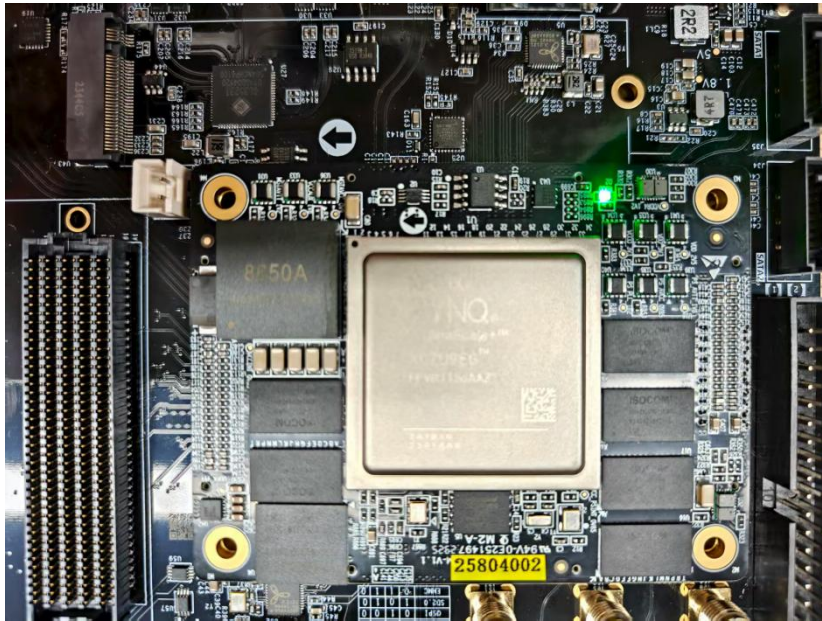
步骤 2 将核心板接入电源，当核心板上电成功后，会有绿指示灯亮，表明板卡上电正常。指示灯如下图所示，核心板上电正常。



Note

核心板上板对板连接器 J30 上引脚包含接入电源定义，引脚号为 103~106、109~120，其中 103~106 号引脚接入 1.2~1.8V 电源，109~120 接入 12V 电源，确保上述两种电源引脚全部接入对应电源后，核心板上电成功。

图 3-4 核心板上电正常



3.3 芯片识别测试

将核心板接入电源后，需要在 Vivado 软件上确认是否能识别芯片，确保核心板上电成功。

操作步骤

步骤 1 按照工具及材料准备章节准备核心板调试设备。另一边接入电脑即可以使用 JTAG 调试。

步骤 2 打开 Vivado 2024.2 程序，点击 Open Hardware Manager，点击 Open Target，再点击 Auto Connect:

图 3-5 Vivado 程序界面

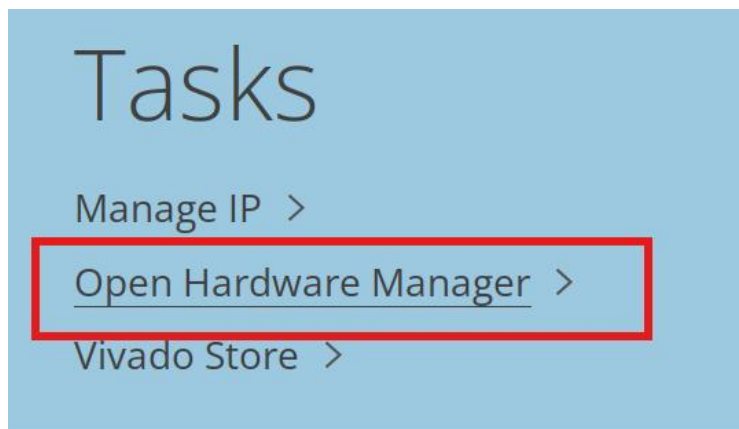
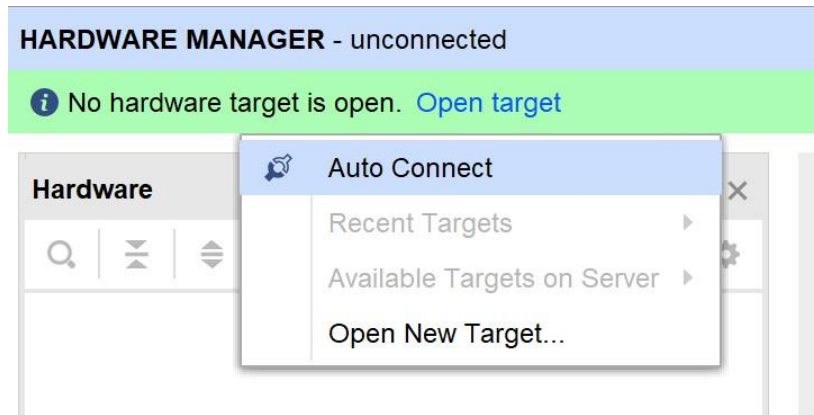
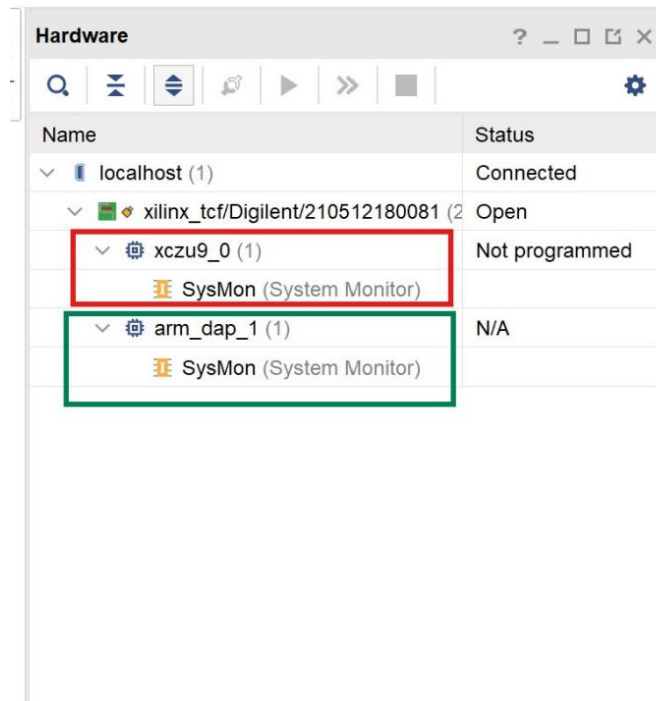


图 3-6 点击“Auto Connect”按钮



步骤 3 查看扫描到的 FPGA 芯片和 arm，如下图所示，红色框部分为 xczu9_0 芯片，绿色框部分为 arm 内核。

图 20 查看 FPGA 芯片和 arm



3.4 FPGA 各接口的使用方法

详细参考配套的《MPSOM-9EG&15EG 调测指南 V1.0.docx》文档。用户可参照接口示例，了解各接口的具体使用方式，并结合实际需求，完成后续的功能开发工作。

3.5 常见问题解决

核心板未能正常上电，导致指示灯不亮

- 在通过底板上电 FPGA 时，请确保电脑电源已经开启，并检查连接器插槽是否正确连接。
- 若通过线缆进行上电，请检查 J30 上的 103~106(1V2~1V8)、109~120(12V)引脚是否已正确接入电源。

在 Vivado 开发环境中，通过 JTAG 引脚无法扫描到 FPGA 芯片

- 请检查是否已安装 Type-C 接口的 JTAG 驱动程序。
- 请检查 J31 上的 2、4、6、8 号 JTAG 引脚是否已正常接入。

4 技术支持

用户可以通过网页、邮件和电话等方式获得技术支持。

- 公司：深圳市玄武科技信息有限公司
- 地址：深圳市南山区前海深港合作区桂湾金融街 1 号弘毅大厦 7 楼
- 网址：www.aixuanwu.com
- 电话：13316537363
- 邮件：sales@aixuanwu.com

附录

核心板一共扩展出 4 个高速扩展口，使用 4 个 120pin 的板对板连接器和底板连接，位号分别是 J29、J30、J31、J32，与底板外设的连接情况如附表一、附表二、附表三以及附表四，其中未标出与底板外设连接情况的可参考信号名称栏。

A.1 J29 连接器

J29 连接器主要连接 BANK66,BANK67 的 IO 和 BANK228 的 GTH 信号

信号名称	管脚号	与底板外设连接情况	信号名称	管脚号	与底板外设连接情况
NC	1		NC	2	
B66_L3_P	3	FMC_LA31_P	B67_L1_P	4	MIPI_CLK_P
B66_L3_N	5	FMC_LA31_N	B67_L1_N	6	MIPI_CLK_N
B66_L2_P	7	FMC_LA28_P	B66_L7_P	8	FMC_LA29_P
B66_L2_N	9	FMC_LA28_N	B66_L7_N	10	FMC_LA29_N
GND	11		GND	12	
B66_L5_N	13	FMC_LA25_N	B66_L8_P	14	FMC_LA24_P
B66_L5_P	15	FMC_LA25_P	B66_L8_N	16	FMC_LA24_N
B67_L2_N	17	MIPI_LAN0_N	B66_L1_N	18	FMC_LA27_N
B67_L2_P	19	MIPI_LAN0_P	B66_L1_P	20	FMC_LA27_P
GND	21		GND	22	
B66_L19_P	23	FMC_LA26_P	B66_L11_N	24	FMC_LA18_CC_N
B66_L19_N	25	FMC_LA26_N	B66_L11_P	26	FMC_LA18_CC_P
B67_L16_P	27	FMC_LA16_P	B67_L6_P	28	
B67_L16_N	29	FMC_LA16_N	B67_L6_N	30	
GND	31		GND	32	
B67_L19_N	33	FMC_LA13_N	B66_L14_N	34	FMC_LA17_CC_N
B67_L19_P	35	FMC_LA13_P	B66_L14_P	36	FMC_LA17_CC_P
B66_L9_P	37	FMC_LA22_P	B66_L21_P	38	FMC_LA19_P
B66_L9_N	39	FMC_LA22_N	B66_L21_N	40	FMC_LA19_N
GND	41		GND	42	
B67_L8_P	43	FMC_LA07_P	B67_L21_N	44	FMC_LA14_N
B67_L8_N	45	FMC_LA07_N	B67_L21_P	46	FMC_LA14_P
B67_L5_P	47	FMC_LA15_P	B67_L24_N	48	FMC_LA12_N
B67_L5_N	49	FMC_LA15_N	B67_L24_P	50	FMC_LA12_P
GND	51		GND	52	
B66_L22_N	53	FMC_LA21_N	B66_L13_P	54	FMC_CLK1_P
B66_L22_P	55	FMC_LA21_P	B66_L13_N	56	FMC_CLK1_N
B66_L24_N	57	FMC_LA23_N	B67_L4_P	58	FMC_LA10_P
B66_L24_P	59	FMC_LA23_P	B67_L4_N	60	FMC_LA10_N
GND	61		GND	62	
B67_L20_P	63	FMC_LA08_P	B67_L22_P	64	FMC_LA05_P
B67_L20_N	65	FMC_LA08_N	B67_L22_N	66	FMC_LA05_N
B67_L23_N	67	FMC_LA04_N	B67_L17_P	68	FMC_LA06_P

B67_L23_P	69	FMC_LA04_P	B67_L17_N	70	FMC_LA06_N
GND	71		GND	72	
B67_L7_N	73	FMC_LA09_N	B67_L13_P	74	FMC_LA01_CC_P
B67_L7_P	75	FMC_LA09_P	B67_L13_N	76	FMC_LA01_CC_N
B67_L9_P	77	FMC_LA11_P	B66_L23_N	78	FMC_LA20_N
B67_L9_N	79	FMC_LA11_N	B66_L23_P	80	FMC_LA20_P
GND	81		GND	82	
B67_L18_P	83	FMC_LA03_P	B67_L12_P	84	FMC_LA00_CC_P
B67_L18_N	85	FMC_LA03_N	B67_L12_N	86	FMC_LA00_CC_N
B67_L10_P	87	FMC_LA02_P	B67_L14_P	88	FMC_CLK0_P
B67_L10_N	89	FMC_LA02_N	B67_L14_N	90	FMC_CLK0_N
GND	91		GND	92	
B288_RX1_N	93	SATA1_RX_N	B228_RX0_N	94	SFP2_RX_N
B288_RX1_P	95	SATA1_RX_P	B228_RX0_P	96	SFP2_RX_P
GND	97		GND	98	
B288_TX1_N	99	SATA1_TX_N	B228_TX0_N	100	SFP2_TX_N
B288_TX1_P	101	SATA1_TX_P	B228_TX0_P	102	SFP2_TX_P
GND	103		GND	104	
B288_RX3_N	105	SATA2_RX_N	B228_RX2_N	106	SFP1_RX_N
B288_RX3_P	107	SATA2_RX_P	B228_RX2_P	108	SFP1_RX_P
GND	109		GND	110	
B288_TX3_N	111	SATA2_TX_N	B228_TX2_N	112	SFP1_TX_N
B288_TX3_P	113	SATA2_TX_P	B228_TX2_P	114	SFP1_TX_P
GND	115		GND	116	
B288_CLK0_N	117	SFP_CLK_N	B228_CLK1_N	118	
B288_CLK0_P	119	SFP_CLK_P	B228_CLK1_P	120	
NC	121		NC	122	

A.2 J30 连接器

J30 连接器主要连接 BANK505 MGT 的收发器信号, PS 的 MIO, VCCO_66, VCCO_67 和 +12V 电源。

信号名称	管脚号	与底板外设连接情况	信号名称	管脚号	与底板外设连接情况
B505_TX0_P	1	PCIE_TX_P	B505_CLK0_P	2	
B505_TX0_N	3	PCIE_TX_N	B505_CLK0_N	4	
GND	5		GND	6	
B505_RX0_P	7	PCIE_RX_P	B505_TX3_P	8	
B505_RX0_N	9	PCIE_RX_N	B505_TX3_N	10	
GND	11		GND	12	

MPSOM-9EG 用户指南

B505_CLK1_P	13	505_USB_CLK_P	B505_TX2_P	14	
B505_CLK1_N	15	505_USB_CLK_N	B505_TX2_N	16	
GND	17		GND	18	
B505_RX2_N	19		B505_CLK2_P	20	
B505_RX2_P	21		B505_CLK2_N	22	
GND	23		GND	24	
B505_RX3_P	25		B505_RX1_N	26	
B505_RX3_N	27		B505_RX1_P	28	
GND	29		GND	30	
B505_CLK3_P	31		B505_TX1_N	32	
B505_CLK3_N	33		B505_TX1_P	34	
GND	35		GND	36	
PS_MIO26	37		PS_MIO58_USB_STP	38	
PS_MIO35	39	PS_IIC_SDA	PS_MIO53_USB_DIR	40	
GND	41		GND	42	
PS_MIO28	43	DP_HPD	PS_MIO52_USB_CLK	44	
PS_MIO37	45	PCIE_RSTh	PS_MIO55_USB_NXT	46	
PS_MIO39	47	PS_CAN1_TX	PS_MIO56_USB_D0	48	
PS_MIO27	49	DP_AUX_OUT	PS_MIO57_USB_D1	50	
GND	51		GND	52	
PS_MIO40	53	PS_CAN2_TX	PS_MIO54_USB_D2	54	
PS_MIO30	55	DP_AUX_IN	PS_MIO59_USB_D3	56	
PS_MIO34	57	PS_IIC_SCL	PS_MIO60_USB_D4	58	
PS_MIO29	59	DP_OE	PS_MIO61_USB_D5	60	
GND	61		GND	62	
PS_MIO31	63		PS_MIO62_USB_D6	64	
PS_MIO32	65	USB_RESET_N	PS_MIO63_USB_D7	66	
PS_MIO42	67	PS_UART_RX	PS_MIO76_MDC	68	
PS_MIO36	69	PCIE_DET	PS_MIO77_MDIO	70	
GND	71		GND	72	
PS_MIO33	73	PS_KEY	PS_MIO65_PHY_TX0	74	
PS_MIO38	75	PS_CAN1_RX	PS_MIO66_PHY_TX1	76	
PS_MIO43	77	PS_UART_TX	PS_MIO67_PHY_TX2	78	
PS_MIO41	79	PS_CAN2_RX	PS_MIO68_PHY_TX3	80	
GND	81		GND	82	
PS_MIO44	83	PS_LED	PS_MIO64_PHY_TXCK	84	
PS_MIO45_SD_CD	85		PS_MIO69_PHY_TXCTL	86	
PS_MIO46_SD_D0	87		PS_MIO74_PHY_RX3	88	
PS_MIO49_SD_D3	89		PS_MIO73_PHY_RX2	90	
GND	91		GND	92	
PS_MIO47_SD_D1	93		PS_MIO72_PHY_RX1	94	
PS_MIO48_SD_D2	95		PS_MIO71_PHY_RX0	96	
PS_MIO51_SD_CLK	97		PS_MIO75_PHY_RXCTL	98	

PS_MIO50_SD_CMD	99		PS_MIO70_PHY_RX_CK	100	
GND	101		GND	102	
VCC0_66	103		VCCO_67	104	
VCC0_66	105		VCCO_67	106	
GND	107		GND	108	
VDD_12V	109		VDD_12V	110	
VDD_12V	111		VDD_12V	112	
VDD_12V	113		VDD_12V	114	
VDD_12V	115		VDD_12V	116	
VDD_12V	117		VDD_12V	118	
VDD_12V	119		VDD_12V	120	
NC	121		NC	122	

A.3 J31 连接器

J31 连接器主要连接 BANK44、BANK50、BANK66、BANK67 的 IO, BANK25、BANK26、BANK66 的 IO 和 BANK505 MGT 的收发器信号。

信号名称	管脚号	与底板外设连接情况	信号名称	管脚号	与底板外设连接情况
NC	1		PS_JTAG_TCK	2	
PWR_SW	3		PS_JTAG_TMS	4	
PS_MODE3	5		PS_JTAG_TDO	6	
PS_MODE2	7		PS_JTAG_TDI	8	
GND	9		GND	10	
PS_MODE1	11		VBAT_IN	12	
PS_MODE0	13		PS_POR_B	14	
PS_ERROR_STATUS	15		FPGA_DONE	16	
PS_ERROR_OUTPUT	17		GND	18	
GND	19		GND	20	
B44_L5_P	21	IO_13P	B50_L11_N	22	IO_16N
B44_L5_N	23	IO_13N	B50_L11_P	24	IO_16P
B50_L9_P	25	IO_12P	B50_L12_P	26	IO_17P
B50_L9_N	27	IO_12N	B50_L12_N	28	IO_17N
GND	29		GND	30	
B44_L12_P	31	IO_11P	B50_L10_N	32	
B44_L12_N	33	IO_11N	B50_L10_P	34	
B44_L7_P	35	IO_14P	B44_L8_P	36	
B44_L7_N	37	IO_14N	B44_L8_N	38	
GND	39		GND	40	
B44_L11_N	41	IO_10N	B44_L6_P	42	CAM_GPIO
B44_L11_P	43	IO_10P	B44_L6_N	44	CAM_CLK
B44_L1_N	45	IO_15N	B44_L2_N	46	CAM_SCL
B44_L1_P	47	IO_15P	B44_L2_P	48	CAM_SDA
GND	49		GND	50	
B44_L3_N	51	PL_LED2	NC	52	
B44_L3_P	53	PL_KEY	NC	54	
B44_L4_N	55	PL_LED1	NC	56	

B44_L4_P	57	PL_485_RXD1	NC	58	
GND	59		GND	60	
B44_L10_P	61	PL_485_DE1	NC	62	
B44_L10_N	63	PL_485_TXD1	NC	64	
B50_L8_N	65	SFP1_TX_DIS	B44_L9_N	66	
B50_L8_P	67	SFP1_LOSS	B44_L9_P	68	
GND	69		GND	70	
B50_L7_N	71		B50_L6_P	72	
B50_L7_P	73		B50_L6_N	74	
NC	75		B50_L5_N	76	PL_485_RXD2
NC	77		B50_L5_P	78	PL_485_DE2
GND	79		GND	80	
B50_L2_P	81	FMC_HDMI_SDA	B50_L1_P	82	PL_485_TXD2
B50_L2_N	83	FMC_HDMI_SCL	B50_L1_N	84	FAN_PWM
B50_L3_N	85	PWRGD	B50_L4_P	86	PL_UART_RX
B50_L3_P	87	FMC_PRSENT	B50_L4_N	88	PL_UART_TX
GND	89		GND	90	
B66_L17_P	91	PHY2_TXCTL	B66_L15_P	92	FMC_LA33_P
B66_L17_N	93	PHY2_TXCK	B66_L15_N	94	FMC_LA33_N
B66_L12_P	95	PHY2_RXCK	B66_L16_N	96	FMC_LA30_N
B66_L12_N	97	PHY2_RXCTL	B66_L16_P	98	FMC_LA30_P
GND	99		GND	100	
B66_L10_P	101	PHY2_TXD3	B66_L20_N	102	FMC_LA32_N
B66_L10_N	103	PHY2_TXD2	B66_L20_P	104	FMC_LA32_P
B66_L4_P	105	PHY2_TXD1	B67_L15_P	106	PHY2_MDC
B66_L4_N	107	PHY2_TXD0	B67_L15_N	108	PHY2_MDIO
GND	109		GND	110	
B66_L6_P	111	PHY2_RXD3	B67_L3_P	112	MIPI_LAN1_P
B66_L6_N	113	PHY2_RXD2	B67_L3_N	114	MIPI_LAN1_N
B66_L18_P	115	PHY2_RXD1	B67_L11_P	116	PL_REF_CLK
B66_L18_N	117	PHY2_RXD0	B67_L11_N	118	PHY2_RESET
GND	119		GND	120	

A.4 J32 连接器

J32 连接 BANK47、48、49 的 IO 和 BANK128、129、130 的收发器信号。

信号名称	管脚号	与底板外设连接情况	信号名称	管脚号	与底板外设连接情况
B48_L5_P	1	IO_1P	B48_L10_N	2	IO_2N
B48_L5_N	3	IO_1N	B48_L10_P	4	IO_2P
B48_L11_P	5	IO_3P	B49_L9_N	6	IO_4N
B48_L11_N	7	IO_3N	B49_L9_P	8	IO_4P
GND	9		GND	10	
B49_L8_N	11	IO_5N	B47_L12_N	12	IO_6N
B49_L8_P	13	IO_5P	B47_L12_P	14	IO_6P
B47_L11_N	15	IO_8N	B49_L4_N	16	IO_7N
B47_L11_P	17	IO_8P	B49_L4_P	18	IO_7P
GND	19		GND	20	
NC	21		NC	22	

NC	23		NC	24	
NC	25		B49_L10_N	26	IO_9N
NC	27		B49_L10_P	28	IO_9P
NC	29		NC	30	
GND	31		GND	32	
B130_RX3_N	33	FMC_DP3_M2C_N	B130_TX2_N	34	FMC_DP2_C2_M_N
B130_RX3_P	35	FMC_DP3_M2C_P	B130_TX2_P	36	FMC_DP2_C2_M_P
GND	37		GND	38	
B130_TX3_N	39	FMC_DP3_C2M_N	B130_RX2_N	40	FMC_DP2_M2C_N
B130_TX3_P	41	FMC_DP3_C2M_P	B130_RX2_P	42	FMC_DP2_M2C_P
GND	43		GND	44	
B130_RX0_N	45	FMC_DP0_M2C_N	B130_RX1_N	46	FMC_DP1_M2C_N
B130_RX0_P	47	FMC_DP0_M2C_P	B130_RX1_P	48	FMC_DP1_M2C_P
GND	49		GND	50	
B130_TX0_N	51	FMC_DP0_C2M_N	B130_TX1_N	52	FMC_DP1_C2_M_N
B130_TX0_P	53	FMC_DP0_C2M_P	B130_TX1_P	54	FMC_DP1_C2_M_P
GND	55		GND	56	
B130_CLK0_N	57	FMC_GBTCLK0_M2C_N	B130_CLK1_N	58	
B130_CLK0_P	59	FMC_GBTCLK0_M2C_P	B130_CLK1_P	60	
GND	61		GND	62	
B129_TX3_N	63	FMC_DP7_C2M_N	B129_RX3_N	64	FMC_DP7_M2C_N
B129_TX3_P	65	FMC_DP7_C2M_P	B129_RX3_P	66	FMC_DP7_M2C_P
GND	67		GND	68	
B129_RX1_N	69	FMC_DP5_M2C_N	B129_TX2_N	70	FMC_DP6_C2_M_N
B129_RX1_P	71	FMC_DP5_M2C_P	B129_TX2_P	72	FMC_DP6_C2_M_P
GND	73		GND	74	
B129_TX1_N	75	FMC_DP5_C2M_N	B129_RX2_N	76	FMC_DP6_M2C_N
B129_TX1_P	77	FMC_DP5_C2M_P	B129_RX2_P	78	FMC_DP6_M2C_P
GND	79		GND	80	
B129_RX0_N	81	FMC_DP4_M2C_N	B129_TX0_N	82	FMC_DP4_C2_M_N
B129_RX0_P	83	FMC_DP4_M2C_P	B129_TX0_P	84	FMC_DP4_C2_M_P
GND	85		GND	86	
B129_CLK0_N	87	FMC_GBTCLK1_M2C_N	B129_CLK1_N	88	
B129_CLK0_P	89	FMC_GBTCLK1_M2C_P	B129_CLK1_P	90	
GND	91		GND	92	
B128_TX3_N	93		B128_RX3_N	94	
B128_TX3_P	95		B128_RX3_P	96	
GND	97		GND	98	
B128_TX2_N	99		B128_RX1_P	100	

MPSOM-9EG 用户指南

B128_TX2_P	101		B128_RX1_N	102	
GND	103		GND	104	
B128_TX0_N	105	SMA1_TX_N	B128_RX0_P	106	SMA1_RX_P
B128_TX0_P	107	SMA1_TX_P	B128_RX0_N	108	SMA1_RX_N
GND	109		GND	110	
B128_TX1_N	111		B128_RX2_P	112	
B128_TX1_P	113		B128_RX2_N	114	
GND	115		GND	116	
B128_CLK0_N	117		B128_CLK1_P	118	
B128_CLK0_P	119		B128_CLK1_N	120	